

目 录

实验一	电子仪器仪表的使用·····	1
实验二	共射放大电路研究·····	3
实验三	射极跟随器研究 ·····	6
实验四	正弦波振荡器研究 ·····	8
实验五	集成运放电路研究 ·····	12
注：因疫情防控影响，实验六-实验九数据为理论模拟值，结果可能不准确，敬请留意。		
实验六	门电路逻辑功能研究 ·····	17
实验七	组合逻辑电路设计实验 ·····	19
实验八	触发器研究 ·····	23
实验九	计数器设计 ·····	27
附录	·····	31

广州商学院

实验报告(第 1 次)

实验名称 电子仪器仪表的使用 实验时间 2022-09-14

同组同学 _____ 小组分工 _____

一、实验目的

熟悉示波器、函数信号发生器、直流稳压电源、交流毫伏表及万用表的使用方法。

二、实验仪器设备及软件

低频信号发生器、直流稳压电源、双踪示波器、毫伏表、万用表

三、实验原理

实验中各仪器可按照信号流向，以连线简捷、调节顺手、观察与读数方便等原则进行合理布局，各仪器与被测实验装置之间的布局与连接如图1所示。接线时应注意，为防止外界干扰，各仪器的公共接地端应连接在一起，称“共地”。示波器等接线要使用专用电缆线，直流电源用普通导线。

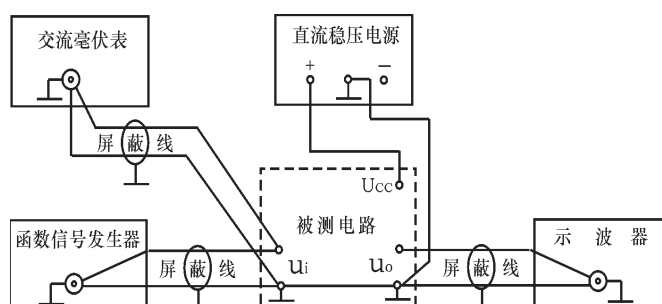


图1 模拟电子电路中常用电子仪器布局图

3、仪器使用注意事项

四、实验内容与步骤

先熟悉仪表使用规程，然后使用；测量过程中严格遵守。

1、万用表的使用

表1-1 万用表的使用

直流稳压电源输出值	直流稳压电源输出				
	0.5	8.4	18.6	20	22
万用表档位	2	20	200	200	200
万用表读数	0.51	8.9	19.4	20.8	23

2、示波器的使用——用机内校正信号对示波器进行自检

表1-2 示波器的使用

标准信号		Y轴灵敏度	信号显示格数	计算实际测量幅值
幅值	3v	2.00	1.8	3.6
		1.00	3	3
频率	1khz	扫描时间量程选择	一周周期显示格数	计算实际测量频率 ($f=1/T$)

		500	2	1khz
		250	4	1khz

3、低频信号发生器的使用：用示波器观察信号源信号并记录。

表1-3 示波器的使用

信号发生器的信号		Y轴灵敏度	信号显示格数	计算实际测量幅值
幅值	3v	2.00	1.8	3.6
频率	1khz	扫描时间量程选择	一周期显示格数	计算实际测量频率 ($f=1/T$)
		500	2	1khz

4、交流毫伏表的使用

五、实验注意事项

- (1) 注意用电安全；
- (2) 先熟悉仪表使用规程，然后使用；测量过程中严格遵守。

六、实验结果分析（简述你的测量内容、过程和自我评价）

本次实验对万用表的使用和示波器的使用有一个初步的了解。通过对万用表的读数学习，了解到测量电压或电流电阻的正确档位选择，通过实验对直流稳压电源调节的自定义的电压值进行测量，并将测量所获得的结果记录在实验报告中。通过实验对如何正确使用万用表有了初步的认识。

同时，也对示波器进行了了解性实验。通过输出特定的电压值，将测量仪放置正确的地方进行测量，示波器屏幕显示了对应的波形。通过调节Y轴灵敏度和扫描时间量程的参数，可以对示波器在同一条件下的不同显示情况进行了解，为后续的使用打下基础。

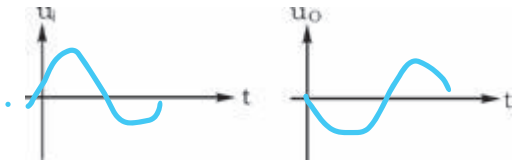
七、教师评分

3.26	2.55	7.66	25	0.69	4.95	1
------	------	------	----	------	------	---

2. 测量电压放大倍数

在放大器输入端加入频率为1kHz的正弦信号 u_o ，调节函数信号发生器的输出旋钮使放大器输入电压 $u_i \approx 5\text{mV}$ ，同时用示波器观察放大器输出电压 u_o 波形，在波形不失真的条件下用交流毫伏表测量下述2种情况下的 u_o 值，并用双踪示波器观察 u_o 和 u_i 的相位关系，并记入表2-2中。

表2-2

$R_C/\text{k}\Omega$	$R_L/\text{k}\Omega$	u_o/V	A_u	观察记录一组 u_o 和 u_i 波形
4.3	∞	0.75	20	
4.3	4.3	0.9	10	

3. 观察静态工作点对电压放大倍数的影响

置 $R_L = \infty$ ， $U_i = 5\text{mV}$ ，调节 R_{B1} ，用示波器监视输出电压波形，在 u_o 不失真的条件下，测量数组 I_C 和 U_o 值，记入表2-3。

表2-3

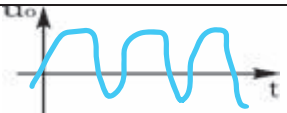
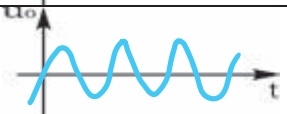
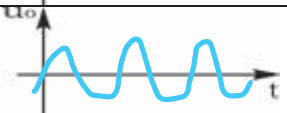
I_C/mA	0.2mA	0.5mA	1mA		
U_o/V	0.05	0.75	0.8		
A_v	8	30.1	44		

测量 I_C 时，要先将信号源输出旋钮旋至零（即使 $U_i = 0$ ）。

4. 观察静态工作点对输出波形失真的影响

置 $R_C = 4.3\text{ k}\Omega$ ， $R_L = 4.3\text{ k}\Omega$ ， $u_i = 0\text{ V}$ ，调节 R_P ，使 $I_C = 1.0\text{mA}$ ，测出 U_{CE} 值；再逐步加大输入信号，使输出电压 u_o 足够大，但不失真。然后保持输入信号不变，分别增大和减小 R_{B1} ，使波形出现失真，绘出 u_o 的波形，并测出失真情况下的 I_C 和 U_{CE} 值，记入表2-4中。注意，在每次测 I_C 和 U_{CE} 值时，都要将信号源的输出旋钮旋至零。

表2-4

I_C/mA	U_{CE}/V	u_o 波形	失真情况	管子工作状态
0.5	9.01		削顶失真	截止
1.0	6.03		不失真	放大
2.0	1.41		削底失真	饱和

五. 实验结果及分析

1、列表整理测量结果，并把实测的静态工作点、电压放大倍数、输入电阻、输出电阻之值与理论计算值比较（取一组数据进行比较），分析产生误差原因。

电压放大倍数：不改变其参数，电路引入负反馈时，电压放大倍数减小，波形不失真时，输出电压减小。

不改变输入时，电路引入反馈明显减小，放大器呈现削顶失真。

2、总结 R_C 、 R_L 及静态工作点对放大器电压放大倍数、输入电阻及输出电阻的影响。

改变 R_C ，对 R_i 产生影响；

改变 R_L ，没有影响；

共射极大电路的输出与负载与 R_L 无关=》 R_L 改变不引起电阻 R_O 变化。

3、讨论静态工作点变化对放大器输出波形的影响。

静态工作点逐步增大，放大器输出波形从削顶失真过渡到不失真再过渡到削底失真。

六、教师评分

接通+12V 直流电源，在 B 点加入 $f=1\text{ kHz}$ 正弦信号 u_i ，输出端用示波器监视输出波形，反复调整 R_w 及信号源的输出幅度，使在示波器的屏幕上得到一个最大不失真输出波形，然后置 $u_i=0V$ ，用直流电压表测量晶体管各电极对地电位，将测得数据记入表 4-1 中。

表 4-1

U_E/V	U_B/V	U_C/V	I_E/mA
11.68	12.1	16.33	2.28

在下面整个测试过程中应保持 R_w 值不变（即保持静工作点 I_E 不变）。

2. 测量电压放大倍数 A_v

接入负载 $R_L=5.1k\Omega$ ，在 B 点加 $f=1kHz$ 正弦信号 u_i ，调节输入信号幅度，用示波器观察输出波形 u_o ，在输出最大不失真情况下，测 u_i 、 U_L 值，并记入表 4-2 中。

表 4-2

u_i/V	U_L/V	A_v
4.0	4.0	1

3. 测量输出电阻 R_o

接上负载电阻 ($R_L=5.1k\Omega$)，在 B 点加 $f=1kHz$ 正弦信号 u_i ，用示波器监视输出波形，测空载输出电压 U_o 及有负载时输出电压 U_L ，并记入表 4-3 中。

表 4-3

u_o/V	u_i/V	$R_o/k\Omega$
3.1	3.1	0

4. 测量输入电阻 R_i

在 A 点加 $f=1kHz$ 的正弦信号 u_s ，用示波器监视输出波形，分别测出 A、B 点对地的电位 u_s 、 u_i ，并记入表 4-4 中。

表 4-4

u_s/V	u_i/V	$R_i/k\Omega$
4	3.9	390

五. 实验结果及分析

(1) 分析射极跟随器的性能和特点。

射级跟随器是一个电压串联负反馈放大电路，作用是将交流电路中的电流放大，以提高整个放大电路的负载能力；它具有输入电阻高，输出电阻低，电压放大倍数接近于1，输出电压能够在较大范围内跟随输入电压作线性变化以及输入、输出信号同相等特点。

六、教师评分

- (1) 按图4-4组接线路
- (2) 断开RC串并联网路，测量放大器静态工作点。
- (3) 接通RC串并联网路，并使电路起振，用示波器观测输出电压 u_o 波形，调节 R_f 使获得满意的正弦信号，记录波形及其参数。
- (4) 测量振荡频率，并与计算值进行比较。
- (5) 改变R或C值，观察振荡频率变化情况。
- (6) RC串并联网路幅频特性的观察

将RC串并联网路与放大器断开，用函数信号发生器的正弦信号注入RC串并联网路，保持输入信号的幅度不变（约3V），频率由低到高变化，RC串并联网路输出幅值将随之变化，当信号源达某一频率时，RC串并联网路的输出将达最大值（约1V左右）。且输入、输出同相位，此时信号源频率为

$$f = f_o = \frac{1}{2\pi RC}$$

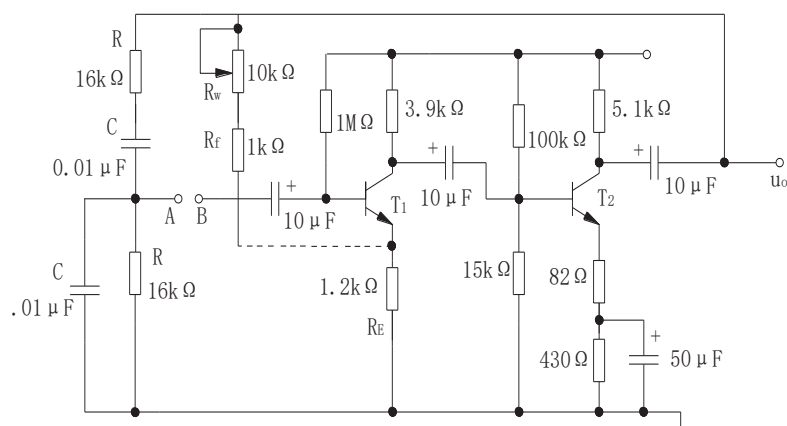


图4-4 RC串并联选频网络振荡器

(7) 测量负反馈放大电路的放大倍数 A_{vf} 及反馈系数 F ：调节10kΩ电位器使电路振荡并维持稳定振荡时，记下此时的幅值 u_o ，然后断开A、B连线，在B端加入和振荡频率一致的信号电压，使输出波形的幅值与原振荡时的幅值相同。测量B点对地电位和1.2kΩ电阻上的压降，最后断开电源及信号源，用万用电表测量10kΩ电位器此时的电阻值，并将测量结果记入表4-1中。

表4-1

测量值				计算值	
u_i	u_o	u_f	$R_f + R_w$	A_{vf}	$F = \frac{R_e}{R_e + (R_f + R_w)}$
0.32	1.10	0.32	2.57	3.43	0.32

2、LC正弦振荡器研究（图4-5示为变压器耦合正反馈LC振荡器电路）

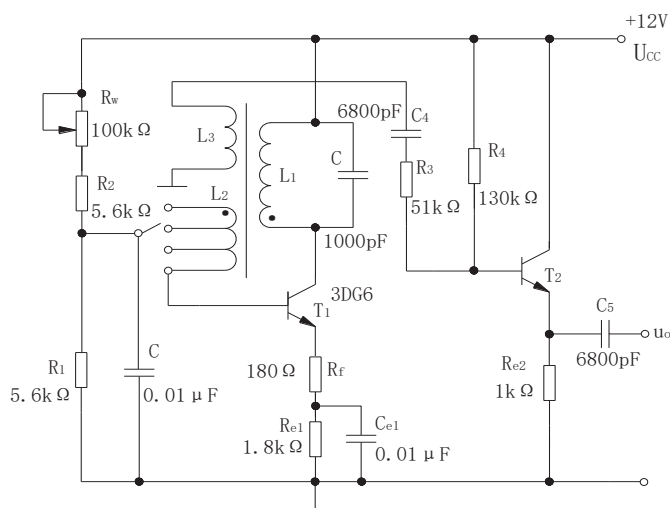


图4-5 变压器反馈式LC振荡器

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

- (1) 按图4-5连接实验电路。电位器 R_w 置最大位置，振荡电路的输出端接入示波器。
- (2) 接通 $U_{cc}=+12V$ 电源，调节电位器 R_w ，使输出端得到不失真的正弦波形，如不起振，可改变 L_2 的首末端位置，使之起振。
- (3) 测量两管的静态工作及正弦波的有效值 U_0 ，并计入表5-1中。
- (4) 把 R_w 值调小，观察输出波形的变化。测量有关数据，并记于表5-1中。
- (5) 调大 R_w 值，使振荡波形刚刚消失，测量有关数据，计入表5-1中。

表5-1

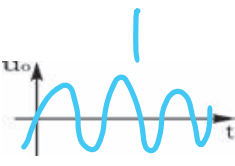
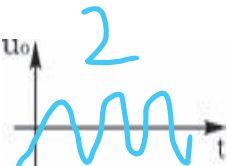
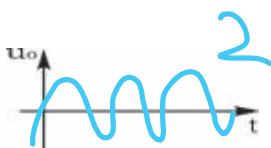
调节 R_w 值		U_B/V	U_E/V	U_C/V	I_C/mA	U_o/V	u_o 波形
R_w 居中	T1	1.83	1.25	11.91	0.63	0.49	
	T2	8.46	7.90	12.14	790		
R_w 小	T1	6.06	5.50	11.12	2.77	0.29	
	T2	8.46	7.89	12.15	789		
R_w 大	T1	0.63	0.11	12.13	0.05	0.29	
	T2	8.46	7.89	12.15	789		

根据以上三组数据，分析静态工作点对电路起振、输出波形幅度和失真的影响。

- (6) 观察反馈量大小对输出波形的影响

置反馈线圈 L_2 于位置“0”（无反馈）、“1”（反馈量不足）、“2”（反馈量合适）、“3”（反馈量过强）时测量相应的输出电压波形，记于表5-2中。

表5-2

L ₂ 位置	“0”	“1”	“2”	“3”
U _o 波形				

五. 实验结果及分析

(1) 电路参数对LC振荡器起振条件及输出波形的影响：

调整滑动变阻器的阻值时，可改变静态工作点电压。当滑动变阻器处于最小或最大阻值时，U₀的值是相同的。

改变变压器的点位，可以改变U₀的波形：处于”0“位时，示波器显示为一条直线。处于”1“位时，示波器显示为高度1格的正弦波。处于”2“或”3“位时，示波器显示为高度2格的正弦波。

(2) 讨论你在实验中发现的问题及你的解决办法：

六、教师评分

广州商学院

实验报告(第 5 次)

实验名称 集成运算放大器的研究 实验时间 2022-11-09

同组同学 _____ 小组分工 _____

一、实验目的

- (1) 研究由集成运算放大器组成的比例、加法、减法和积分等基本运算电路的功能。
- (2) 了解运算放大器在实际应用时应考虑的一些问题。

二、实验仪器设备及软件

- (1) $\pm 12\text{V}$ 直流电源;
- (2) 函数信号发生器;
- (3) 交流毫伏表;
- (4) 直流电压表;
- (5) 集成运算放大器 $\mu\text{A}741 \times 1$ 片 ;
- (6) 电阻器、电容器若干。

实验前要看清运放组件各引脚的位置,切忌正、负电源极性接反和输出端短路,否则将会损坏集成块。

三、实验原理

集成运算放大器是一种具有高电压放大倍数的直接耦合多级放大电路。当外部接入不同的线性或非线性元器件组成输入和负反馈电路时,可以灵活地实现各种特定的函数关系。在线性应用方面,可组成比例、加法、减法、积分、微分和对数等模拟运算电路。

1. 理想运算放大器特性

在大多数情况下,将运放视为理想运放,就是将运放的各项技术指标理想化。满足下列条件的运算放大器称为理想运放:

- 开环电压增益 $A_{vd} = \infty$;
- 输入阻抗 $R_i = \infty$;
- 输出阻抗 $R_o = 0$;
- 带宽 $f_{BW} = \infty$;
- 失调与漂移均为零等。

理想运放在线性应用时的两个重要特性:

- (1) 输出电压 U_o 与输入电压之间满足关系式

$$U_o = A_{vd}(U_+ - U_-)$$

由于 $A_{vd} = \infty$, 而 U_o 为有限值, 因此, $U_+ - U_- \approx 0\text{V}$ 。即 $U_+ \approx U_-$, 称为“虚短”。

(2) 由于 $R_i = \infty$, 故流进运放两个输入端的电流可视为零, 即 $I_{iB} = 0$, 称为“虚断”。这说明运放对其前级吸取电流极小。

上述两个特性是分析理想运放应用电路是基本原则, 可简化运放电路的计算。

2. 基本运算电路

- (1) 反相比例运算电路

电路如图 7-1 所示。对于理想运放, 该电路的输出电压与输入电压之间的关系为

$$u_o = -\frac{R_f}{R_1} u_i$$

为了减少输入级偏置电流引起的运算误差, 在同相输入端应接入平衡电阻 $R_2 = R_1 // R_f$ 。

- (2) 反相加法电路

反相加法电路如图 7-2 所示, 输出电压与输入电压之间的关系为

$$u_o = -\left(\frac{R_f}{R_1}u_{i1} + \frac{R_f}{R_2}u_{i2}\right), \quad R_3=R_1//R_2//R_f$$

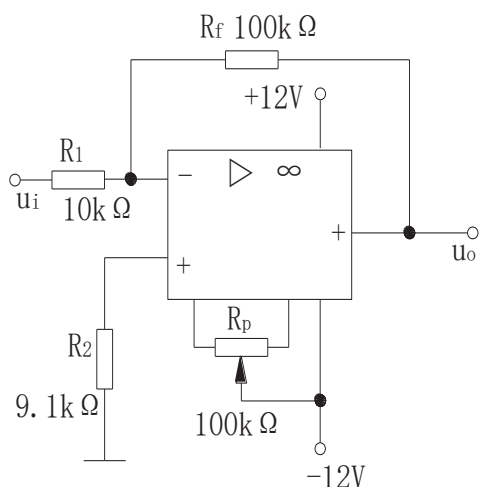


图7-1 反比例运算电路

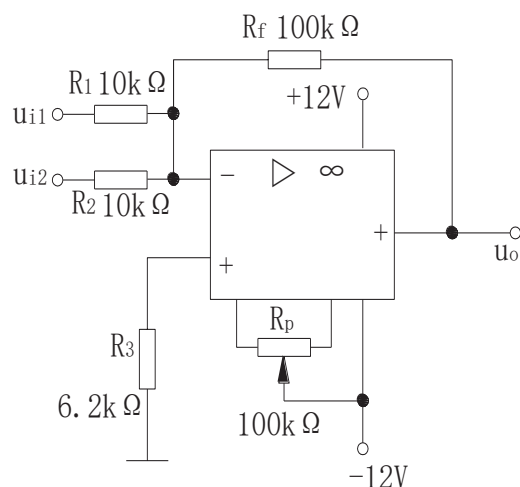


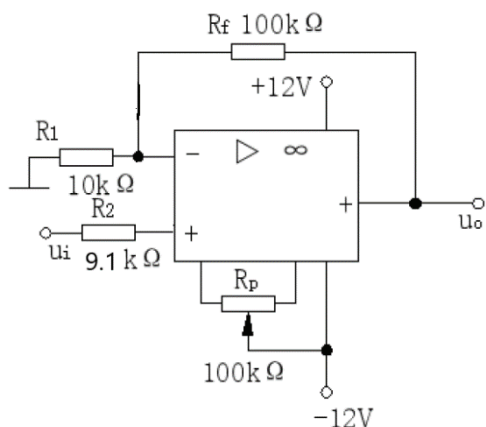
图7-2 反相加法运算电路

(3) 同相比例运算电路

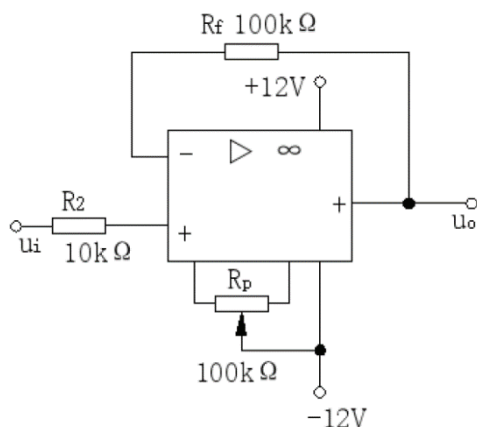
图 7-3 (a) 是同相比例运算电路，它的输出电压与输入电压之间的关系为

$$u_o = \left(1 + \frac{R_f}{R_1}\right)u_i, \quad R_2=R_1//R_f$$

当 $R_1 \rightarrow \infty$ 时， $u_o = u_i$ ，即得到如图 7-3 (b) 所示的电压跟随器。图中 $R_2=R_f$ ，用以减少漂移和起保护作用。一般 R_f 取 $10\text{ k}\Omega$ ， R_f 太小起不到保护作用；太大则影响跟随性。



(a) 同相比例运算电路



(b) 电压跟随器

图7-3 同相比例运算电路

(4) 差动放大电路（减法器）

对于图 7-4 所示的减法运算电路，当 $R_1=R_2$ ， $R_3=R_f$ 时，有如下关系式

$$u_o = \frac{R_f}{R_1}(u_{i2} - u_{i1})$$

(5) 积分运算电路

反相积分电路如图 7-5 所示。在理想化条件下，输出电压 u_o 等于

$$u_o(t) = -\frac{1}{R_1 C} \int_0^t u_i dt + u_c(o)$$

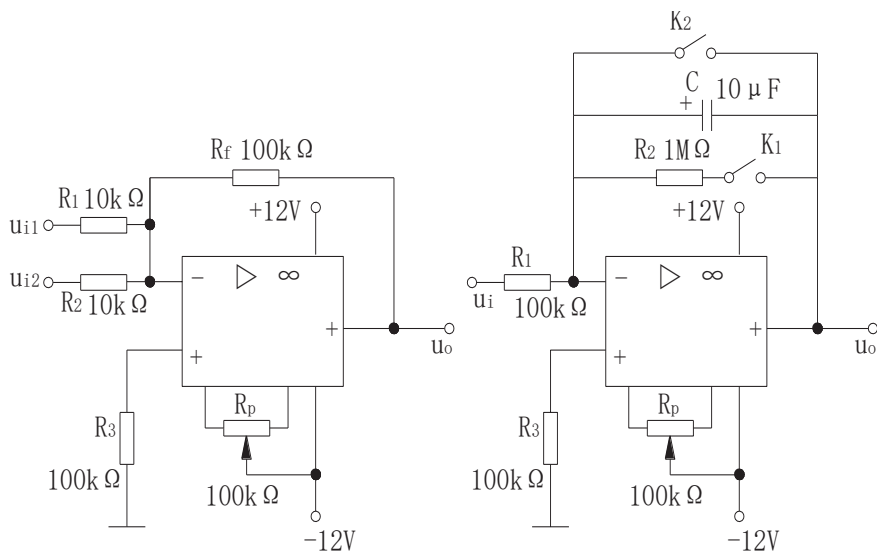


图7-4 减法运算电路

图7-5 积分运算电路

式中， $u_c(o)$ 是 $t=0$ 时刻，电容 C 两端的电压值，即初始值。

如果 $u_i(t)$ 是幅值为 E 的阶跃电压，并设 $u_c(o)=0V$ ，则

$$u_o(t) = -\frac{1}{R_1 C} \int_0^t E dt = -\frac{E}{R_1 C} t$$

即输出电压 $u_o(t)$ 随时间增长而线性下降。显然 RC 的数值最大，达到给定的 u_o 值所需的时间就越长。积分输出电压 u_o 所能达到的最大值受集成运放最大输出范围的限制。

在进行积分运算之前，首先应对运放调零。为了便于调节，将图中 K_1 闭合，即通过电阻 R_2 的负反馈的作用帮助实现调零。但在完成调零后，应将 K_1 打开，以免因 R_2 的接入造成积分误差。 K_2 的设置一方面为积分电容放电提供通路，同时可实现积分电容初始电压 $u_c(o)=0V$ ；另一方面，可控制积分起始点，即在加入信号 u_i 后，只要 K_2 一打开，电容就将被恒流源充电，电路也就开始进行积分运算。

四. 实验内容与步骤

本实验采用的集成运放型号是 $\mu A741$ (F007)，引脚排列如图 7-6 所示，它是 8 脚双列直插式组件，其②脚和③脚为相反和同相输入端，⑥脚为输出端，⑦脚和④脚为正、负电源端，①脚和⑤脚为失调调零端，①脚和⑤脚之间可接入一只几十 $k\Omega$ 的电位器并将滑动出头接到负电源端，⑧脚为空脚。

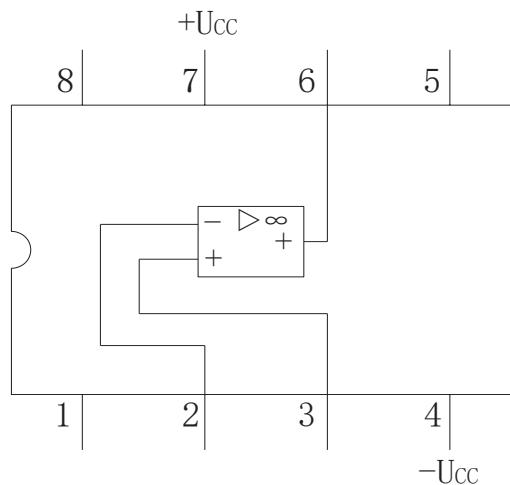


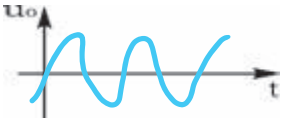
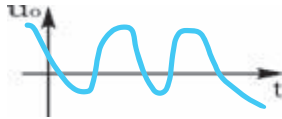
图 7-6 $\mu A741$ 管脚图

1.反相比例运算电路

(1) 按图 7-1 连接实验电路，接通 $\pm 12V$ 电源，输入端 u_i 对地短路，即进行调零和消振，。

(2) 输入频率 $f=100\text{Hz}$, $u_i=0.5\text{V}$ 的正弦交流信号, 测量相应的 u_o , 并用示波器观察 u_o 和 u_i 的相位关系, 并记入表 7-1 中。

表 7-1

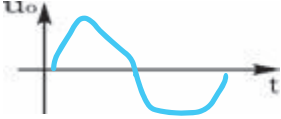
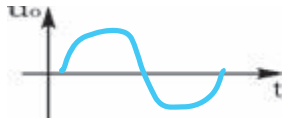
u_i/V	u_o/V	u_i 波形	u_o 波形	A_{od}	
				实测值	计算值
0.5	4.6			-10	-10

2.同相比例运算电路

(1) 按图 7-3 (a) 连接实验电路。实验步骤同实验内容 1, 输入频率 $f=100\text{Hz}$ 、 $u_i=0.5\text{V}$ 的正弦交流信号, 将测量结果记入表 7-2 中。

(2) 将图 7-3 (a) 中的 R_1 断开, 得图 7-3 (b) 电路, 重复内容 (1)。

表 7-2

u_i/V	u_o/V	u_i 波形	u_o 波形	A_{od}	
				实测值	计算值
0.5	6			12	12

3.反相加法运算电路

(1) 按图 7-2 连接实验电路, 接通 $\pm 12\text{V}$ 电源, 输入端 u_{i1} 、 u_{i2} 对地短路, 即进行调零和消振。

(2) 输入信号采用直流信号, 图 7-6 所示电路为简易直流信号源, 由实验者自行完成。实验时要注意选择合适的直流信号幅度以确保集成运放工作在线性区。用直流电压表测量输入电压 U_{i1} 、 U_{i2} 及输出电压 U_o , 并记于表 7-3 中。

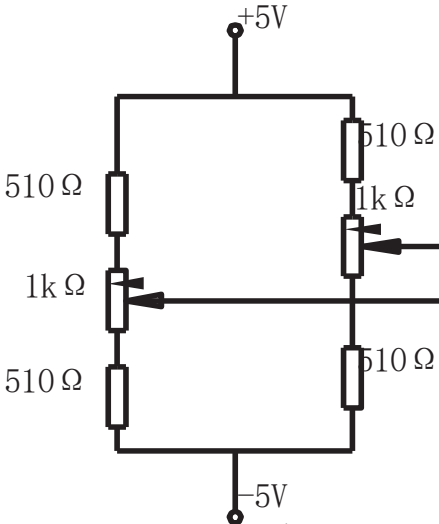


图7-6 简易可调直流信号源

表 7-3

U_{i1}/V	0.3	0.3	-0.3	0.4	-0.4
U_{i2}/V	0.3	0.4	0.4	-0.2	0.2
U_o/V	-5.978	-6.978	-6.978	-1.978	2.021

4.减法运算电路

(1) 按图 7-4 连线实验电路, 接通 $\pm 12\text{V}$ 电源, 输入端 u_{i1} 、 u_{i2} 对地短路, 即进行调零和消振。

(2) 采用直流输入信号, 实验步骤同实验内容 3, 将测量结果计入表 7-4 中。

表 7-4

U_{i1}/V	0.1	-0.1	-0.1	0.3	0.3
U_{i2}/V	0.4	0.4	-0.5	-0.5	-0.1
U_o/V	3.013	5.013	-3.987	-7.986	-3.987

五. 实验结果及分析

(1) 将理论计算结果和实测数据相比较, 分析产生误差的原因。

1. 仪器存在误差, 原因: 使用次数过多, 时长过久
2. 电路箱元器件测量值与理论值存在误差, 原因: 自然老化
3. 数据结果不是理想的, 设计了理想模型就表明已经容许了误差存在。

六、教师评分

广州商学院

实验报告(第 6 次)

实验名称 门电路逻辑功能研究 实验时间 2022-12-06
同组同学 小组分工

一、实验目的

熟悉门电路逻辑功能。

二、实验仪器设备及软件

双踪示波器；集成芯片：74LS00 二输入端四与非门 2片；74LS20 四输入双与非门 1片；74LS86 二输入端四异或门 1片；74LS04 六反相器 1片

三、实验原理

验证逻辑门功能。

四、实验内容与步骤

1. 测试门电路逻辑功能

(1) 选用双四输入与非门74LS20一只，按图6.1接线、输入端接 $S_1 \sim S_4$ 电平开关，输出插口），出端接电平显示发光二极管（ $D_1 \sim D_8$ 任意一个）

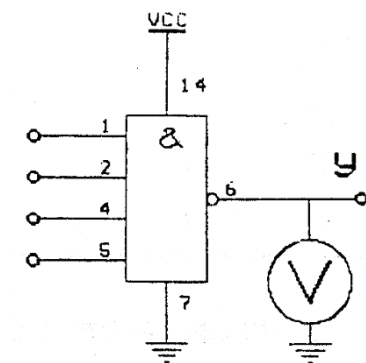


图6-1 双四输入与非门74LS20逻辑功能研究

(2) 将电平开关按表6-1置位，分别测输出电压及逻辑状态。

表6-1

输入				输出	
1	2	4	5	Y	电压 (V)
H	H	H	H	0	0V
L	H	H	H	1	5V
L	L	H	H	1	5V
L	L	L	H	1	5V
L	L	L	L	1	5V

2. 异或门逻辑功能测试

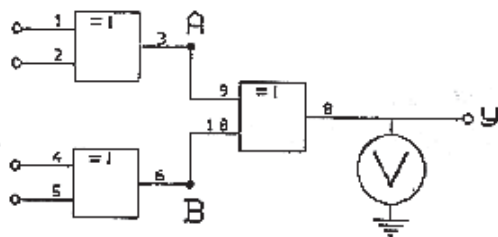


图6-2 二输入四异或门电路74LS86逻辑功能研究

(1) 选二输入四异或门电路74LS86，按图6-2接线，输入端1、2、4、5接电平开关，输出端A、B、Y接电平显示发光二极管。

(2) 将电平开关按表6-2置位，将结果填入表中。

表6-2

输入 脚1、2、4、5				输出				
				A	B	Y	Y电压 (V)	
L	L	L	L	0	0	0	0V	
H	L	L	L	1	0	1	5V	
H	H	L	L	0	0	0	0V	
H	H	H	L	0	1	1	5V	
H	H	H	H	0	0	0	0V	
L	H	L	H	1	1	0	0V	

3. 逻辑电路的逻辑关系

五. 实验结果分析

1、与非的逻辑功能是什么？你是否验证了这个功能？

如1和1（两端都有信号），则输出为0；1和0，则输出为1；0和0，则输出为1。

2、异或的逻辑功能是什么？你是否验证了这个功能？

2个输入信号相异（一个取逻辑0，另一个取逻辑1）时，输出为1；2个输入信号相同（同取0或同取1）时，输出为0。

六、教师评分

广州商学院

实验报告(第 7 次)

实验名称 组合逻辑电路设计实验 实验时间 2022-12-07
同组同学 _____ 小组分工 _____

一、实验目的

1. 掌握组合逻辑电路的分析与设计方法。
2. 加深对基本门电路使用的理解。

二、实验仪器设备及软件

1. 仪器：数字万用表、示波器。

2. 器件

74LS00 二输入端四与非门 1片

74LS02 二输入端四或非门 1片

74LS04 六与非门 1片

74LS10 三输入端三与非门 2片

74LS20 四输入端二与非门 1片

74LS151 四选1 数据选择器 1片

三、实验原理

1. 组合电路是最常用的逻辑电路，可以用一些常用的门电路来组合完成具有其他功能的门电路。例如，根据与门的逻辑表达式 $Z = AB = \overline{\overline{A} + \overline{B}}$ 得知，可以用两个非门和一个或非门组合成一个与门，还可以组合成更复杂的逻辑关系。

2. 分析组合逻辑电路的一般步骤是：

- 1) 由逻辑图写出各输出端的逻辑表达式；
- 2) 化简和变换各逻辑表达式；
- 3) 列出真值表；
- 4) 根据真值表和逻辑表达式对逻辑电路进行分析，最后确定其功能。

3. 设计组合逻辑电路的一般步骤与上面相反，是：

- 1) 根据任务的要求，列出真值表；

- 2) 用卡诺图或代数化简法求出最简的逻辑表达式;
- 3) 根据表达式, 画出逻辑电路图, 用标准器件构成电路;
- 4) 最后, 用实验来验证设计的正确性。

4. 组合逻辑电路的设计举例

用“与非门”设计一个表决电路。当四个输入端中有三个或四个“1”时, 输出端才为“1”。

设计步骤:

根据题意, 列出真值表如表7-1 所示, 再填入卡诺图表7-1 中。

表7-1 表决电路的真值表

D	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
A	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
B	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
C	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Z	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	1

表7-2 表决电路的卡诺图

DA \ BC	00	01	11	10
00				
01			1	
11		1	1	1
10			1	

然后, 由卡诺图得出逻辑表达式, 并演化成“与非”的形式:

$$Z = ABC + BCD + CDA + ABD$$

$$= \overline{\overline{ABD} \cdot \overline{BCD} \cdot \overline{ACD} \cdot \overline{ABC}}$$

最后, 画出用“与非门”构成的逻辑电路如图7-1 所示:

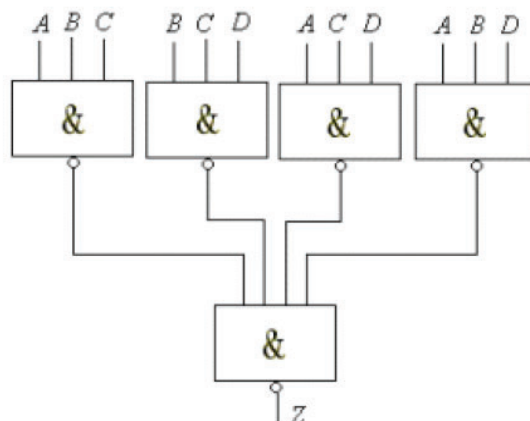


图7-1 表决电路原理图

输入端接至逻辑开关（拨位开关）输出插口, 输出端接逻辑电平显示端口, 自拟真值表, 逐次改变输入变量, 验证逻辑功能。

四. 实验内容与步骤

1. 按照实验原理，利用主电路板上的资源，结合DIP扩展板和辅助扩展板完成组合逻辑电路的设计中的一个例子。
2. 设计一个四人无弃权表决电路(多数赞成则提议通过)，要求用2 输入四与非门来实现（如果资源不够可以使用74LS04或74LS20）。
3. 设计一个十字路口交通灯报警电路并验证。
4. 设计一个保险箱用的4位数字代码锁，该锁有规定的地址代码A、B、C、D 四个输入端和一个开箱钥匙孔信号E的输入端，锁的代码由实验者自编。当用钥匙开箱时，如果输入代码正确，保险箱被打开；如果输入代码错误，电路将发出警报。要求用最少的与非门实现。
5. 设计用3个开关控制一个电灯的逻辑电路，要求改变任何一个开关的状态都能控制电灯由亮变灭或者由灭变亮。要求用数据选择器来实现。

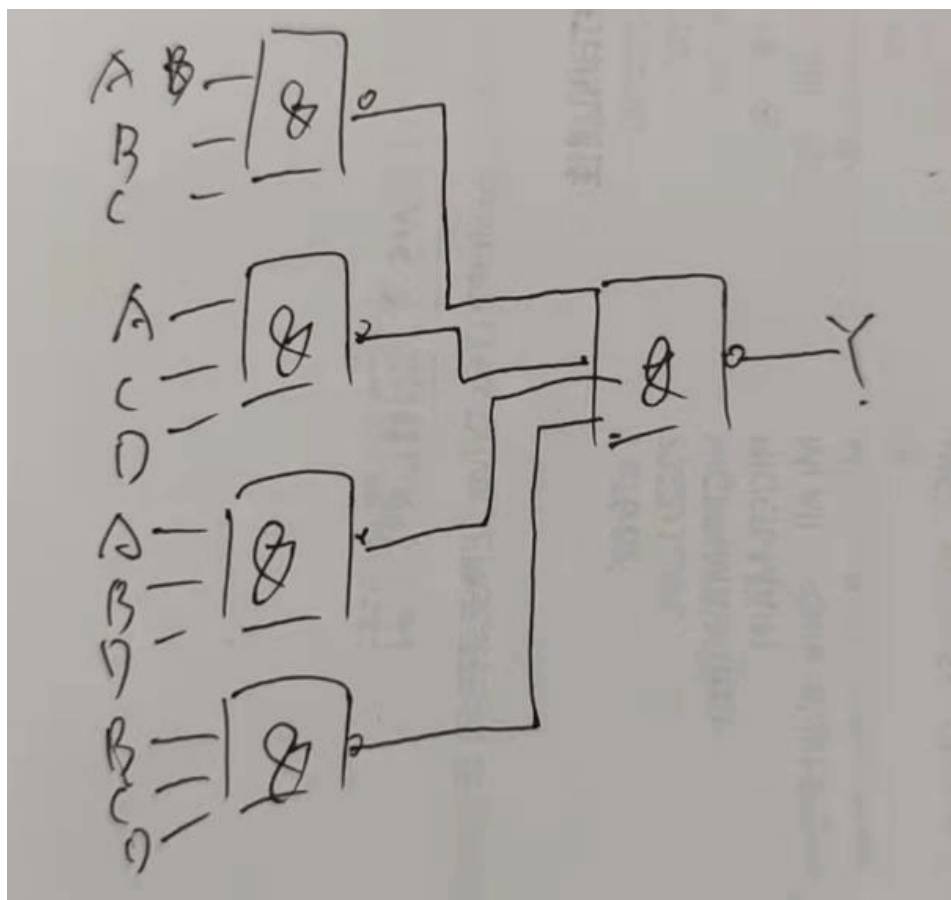
五. 实验结果及分析

实验二：1. 将实验结果填入自制的表格中，验证设计是否正确

表7-3 实验记录

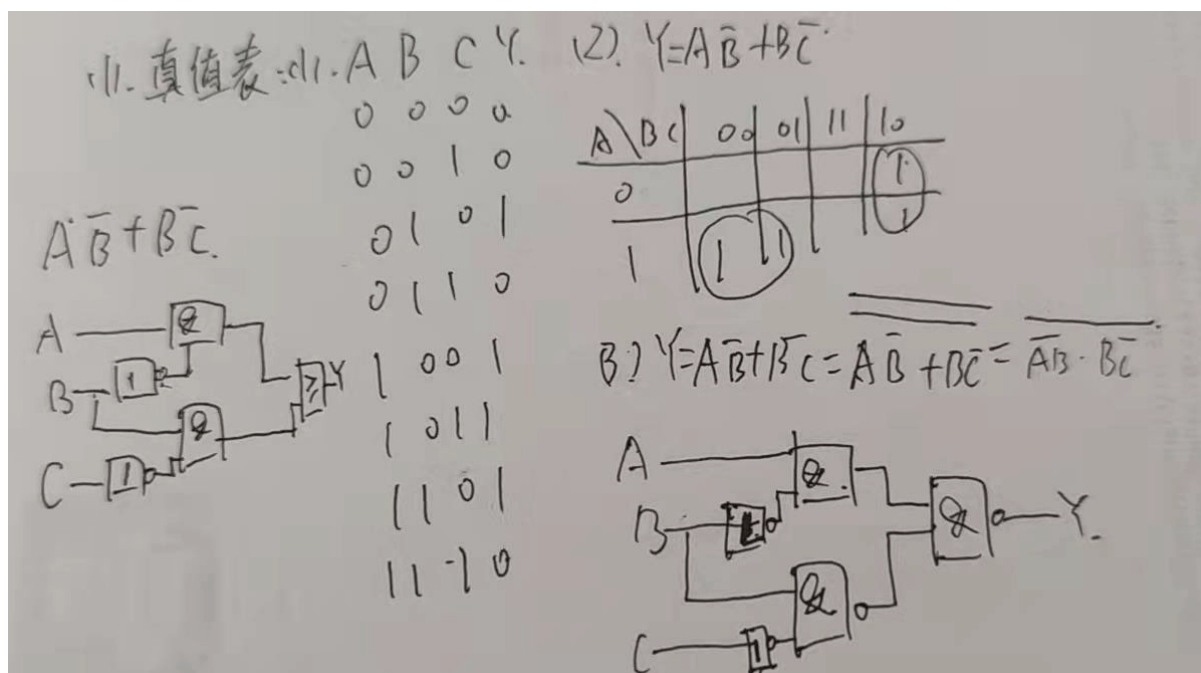
可能组合	输入				输出
	A	B	C	D	Y
1	0	0	0	0	0
2	0	0	0	1	0
3	0	0	1	0	0
4	0	0	1	1	0
5	0	1	0	0	0
6	0	1	0	1	0
7	0	1	1	0	0
8	0	1	1	1	1
9	1	0	0	0	0
10	1	0	0	1	0
11	1	0	1	0	0
12	1	0	1	1	1
13	1	1	0	0	0
14	1	1	0	1	1
15	1	1	1	0	1
16	1	1	1	1	1

2. 画出电路图



实验 4：1. 将实验结果填入自制的表格中，验证设计是否正确

2. 画出电路图



六、教师评分

广州商学院
实验报告(第 8 次)

实验名称 触发器研究 实验时间 2022-12-07
同组同学 _____ 小组分工 _____

一、实验目的

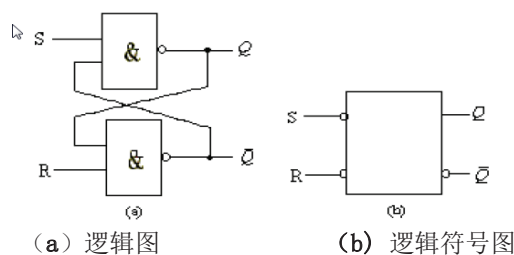
1. 掌握基本RS、JK、T和D触发器的逻辑功能。
2. 掌握集成触发器的功能和使用方法。
3. 熟悉触发器之间相互转换的方法。

二、实验仪器设备及软件

1. 仪器：双踪示波器、数字万用表。
2. 器件： 74LS00 二输入四与非门 1片； 74LS02 二输入端或非门 1片
74LS04 六反相器 1片 ； 74LS10 三输入端三与非门1 片
74LS74（或CC4013）双D触发器 1片； 74LS112（或CC4027）双J-K触发器 1片

三、实验原理

1. 基本RS触发器



8-1 二与非门组成的基本RS 触发器

2. JK 触发器:

$$Q^{n+1} = \overline{J}Q^n + \overline{K}Q^n$$

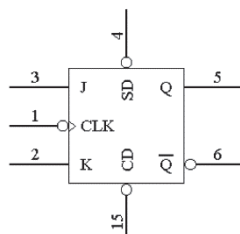


图8-2 JK 触发器的引脚逻辑图

JK 触发器常被用作缓冲存储器, 移位寄存器和计数器。

CC4027 是CMOS 双JK 触发器，其功能与74LS112 相同，但采用上升沿触发，R、S 端为高电平有效。

3. T 触发器

4. D 触发器

图8-3 为双D（74LS74）的引脚排列图。

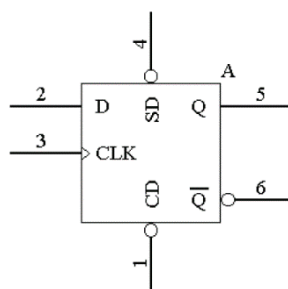


图8-3 D触发器的引脚排列图

5. 触发器之间的相互转换

在集成触发器的产品中，每一种触发器都有自己固定的逻辑功能。但是可以利用转换的方法获得具有其它功能的触发器。例如将JK触发器的J、K两端接在一起，并认它为T端，就得到所需的T触发器。

JK 触发器也可以转换成为D触发器，如图8-4 所示。

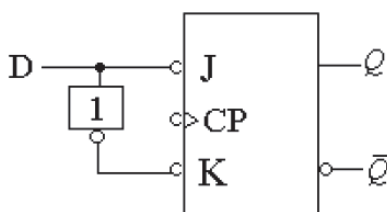


图8-4 JK触发器转换成为D 触发器

四. 实验内容与步骤

1. 测试基本RS触发器的逻辑功能

利用DIP扩展板和辅助扩展板，寻找到适合的芯片完成本实验。按图8-1，用两个与非门组成基本RS触发器，输入端S、R接逻辑电平输出插孔（拨位开关输出端），输出端Q 和Q 接逻辑电平显示单元输入插孔（发光二极管输入端），测试它的逻辑功能并画出真值表将实验结果填入表内。

表7-1 RS触发器逻辑功能研究

输入		输出		
R	S	Q^n	Q^{n+1}	功能名称
0	0	0	0	保持
0	1	0	1	置1
1	0	1	0	置0
1	1	1	1	不允许

2. 测试JK触发器74LS112的逻辑功能

1) 测试JK触发器的复位、置位功能

利用DIP扩展板和辅助扩展板，寻找到适合的芯片完成本实验。取一个JK触发器，其CD 、

SD 、 J 、 K 端接逻辑电平输出插孔， CP 接单次脉冲源，输出端 Q 和 $\bar{Q}$ 接逻辑电平显示单元输入插孔。要求改变 CD 、 SD （ J 、 K 和 CP 处于任意状态），并在 $CD = 0$ （ $SD = 1$ ）或 $CD = 0$ （ $SD = 1$ ）期间任意改变 J 、 K 和 CP 的状态，观察 Q 和 $\bar{Q}$ 的状态，自拟表格并记录之。

2) 测试JK触发器的逻辑功能

不断改变 J 、 K 和 CP 的状态，观察 Q 和 $\bar{Q}$ 的状态变化，观察触发器状态更新是否发生在 CP 的下降沿，记录之。

表7-2 74LS112(或CC4027) 双J-K触发器的逻辑功能

输入		输出		
J	K	Q^n	Q^{n+1}	功能名称
0	0	1	1	保持
0	1	1	0	置0
1	0	0	1	置1
1	1	1	0	翻转

3. 测试双D触发器74LS74 的逻辑功能

1) 测试D触发器的复位、置位功能

测试方法与步骤同JK 触发器（见JK 触发器的复位、置位功能测试部分），只是它们的功能引脚不同，相关的管脚分布参见附录，自拟表格记录。

2) 测试D触发器的逻辑功能并填表

表 7-3 双D触发器74LS74的逻辑功能测试

输入	输出 Q^{n+1}	
D	$Q^n = 0$	$Q^n = 1$
0	0	0
1	1	1

按上表要求进行测试，并观察触发器状态是否发生在 CP 脉冲的上升沿（即由0 变1），记录之。

五. 实验结果及分析

1、实验结果：

（1）RS 触发器的功能

基本RS触发器具有置位、复位和保持（记忆）的功能。

（2）JK触发器功能

JK触发器具有置0、置1、保持和翻转功能。

（3）D触发器功能

D触发器是一个具有记忆功能的,具有两个稳定状态的信息存储器件,是构成多种时序电路的最基本逻辑单元,也是数字逻辑电路中一种重要的单元电路。

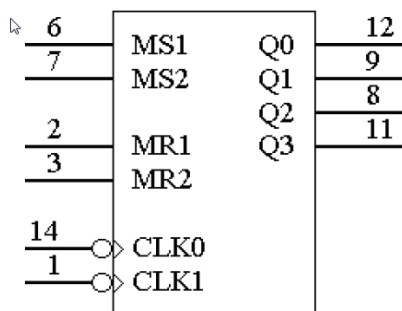
六、教师评分

实验名称 计数器设计 实验时间 2022-12-05
同组同学 _____ 小组分工 _____

1. 熟悉触发器的功能。
2. 学会用触发器构成计数器。

74LS161 四位二进制同步计数器1片

74LS90 为大规模TTL集成计数器，可实现二分频、五分频和十分频等功能，它由一个二进制计数器和一个五进制计数器构成。其引脚排列图和功能表如下所示：



27

RESET/SET INPUTS				OUTPUTS				COUNT	OUTPUT			
MR ₁	MR ₂	MS ₁	MS ₂	Q ₀	Q ₁	Q ₂	Q ₃		Q ₀	Q ₁	Q ₂	Q ₃
H	H	L	X	L	L	L	L	0	L	L	L	L
H	H	X	L	L	L	L	L	1	H	L	L	L
X	X	H	H	H	L	L	H	2	L	H	L	L
L	X	L	X		Count			3	H	H	L	L
X	L	X	L		Count			4	L	L	H	L
L	X	X	L		Count			5	H	L	H	L
X	L	L	X		Count			6	L	H	H	L
								7	H	H	H	L
								8	L	L	L	H
								9	H	L	L	H

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

2. 4位二进制同步计数器74LS161

该计数器能同步并行预置数据，具有清零置数，计数和保持功能，具有进位输出端，可以串接计数器使用。它的管脚排列如图9-2 所示：

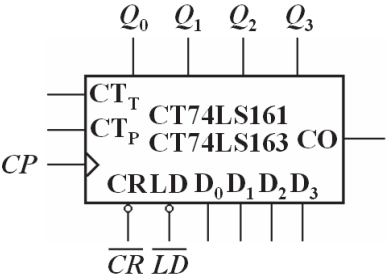


图9-2 74LS161 管脚图

它的功能表如下：

表9-2 74LS161 功能表

输 入								输 出					说 明
$\overline{CRLD}$	CT_P	CT_T	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	CO	
0	X	X	X	X	X	X	X	0	0	0	0	0	异步清零
1	0	X	X	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0		$CO = CT_T \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$
1	1	1	1	$\uparrow$	X	X	X	计	数				$CO = Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$
1	1	0	X	X	X	X	X	保	持				$CO = CT_T \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$
1	1	X	0	X	X	X	X	保	持			0	

从逻辑图和功能表可知，该计数器具有清零信号 $\overline{CR}$ ，使能信号CTP，CTT，置数信号 $\overline{LD}$ ，时钟信号CP和四个数据输入端D0~D3，四个数据输出端Q0~Q3，以及进位输CO，且

$$CO = Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3 \cdot CTP。$$

四. 实验内容及步骤

1. 测试74LS90的逻辑功能

注意74LS90的第5脚接Vcc，第10脚接GND。参考表9-1和图9-1。CTP，CTT 都接“1”，计数脉冲由单次脉冲源提供。有四种不同的计数情况。如果从CLK0 端输入，从Q0 端输出，则是二进制

计数器；如果从CLK1 端输入，从Q3, Q2, Q1 输出，则是异步五进制加法计数器。如果Q0 和CLK1 端相连，时钟脉冲从CLK0 端输入，从Q3, Q2, Q1, Q0 端输出，则是8421码十进制计数器；如果CLK0 端和Q3 端相连，时钟脉冲从CLK1 端输入，从Q3, Q2, Q1, Q0端输出，则是对称二一五混合十进制计数器。输出端Q3、Q2、Q1、Q0接译码器74LS248，经过译码后接至数码管单元的共阴数码管。

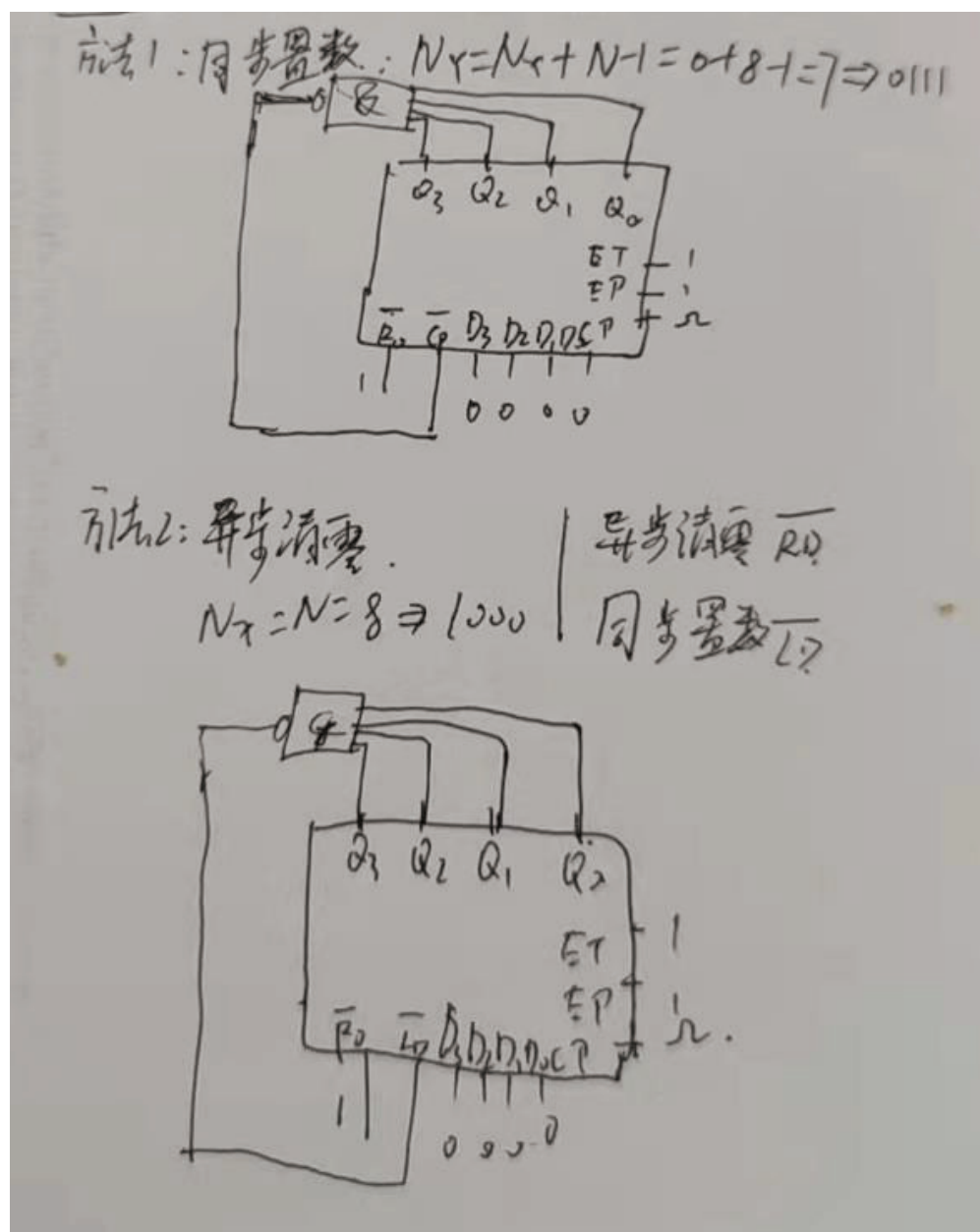
2. 测试74LS161的逻辑功能

具体的测试方法同实验内容1，只是74LS161的管脚分布不同，功能不同。同样需要将74LS161的输出经过译码后在数码管上显示出来，关于74LS161和74LS248的功能及用法请参考有关资料。

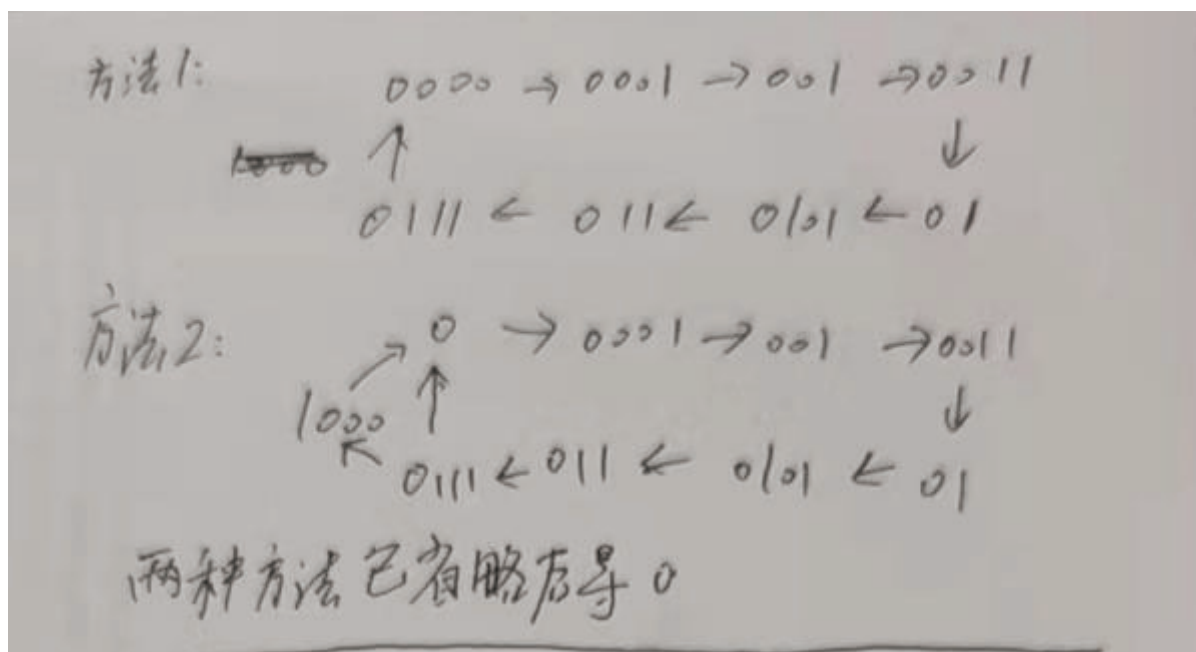
3. 试用74LS90和74LS161设计八进制计数器，并实验验证其正确性。

五. 实验结果及分析

1. 绘出实验内容的详细原理图。



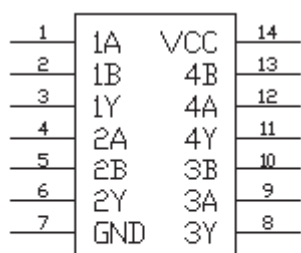
2. 填写各实验内容所需的测试记录表格（自己设计表格）。



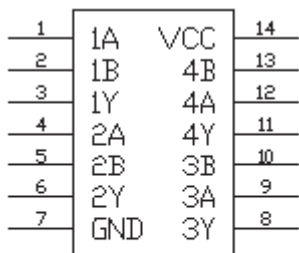
六、教师评分

附录

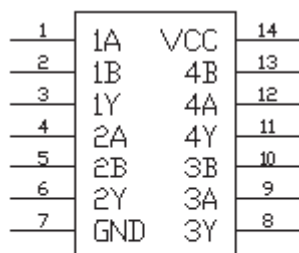
常用数字集成芯片管脚图



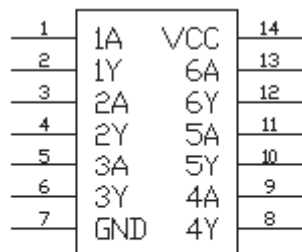
7400
四2输入与非门 $Y = \overline{AB}$



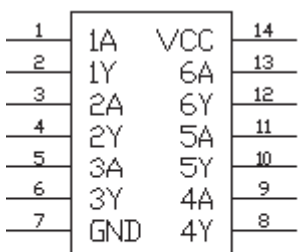
7402
四2输入或非门 $Y = \overline{A+B}$



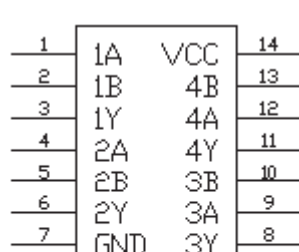
7403 四2输入
与非门(OC) $Y = \overline{AB}$



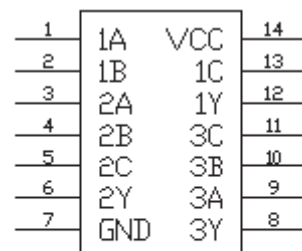
7404
六反相器 $Y = \overline{A}$



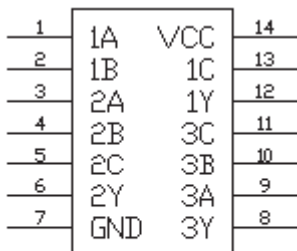
7406
六反相器(OC) $Y = \overline{A}$



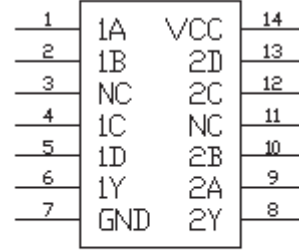
7408
四2输入与门 $Y = AB$



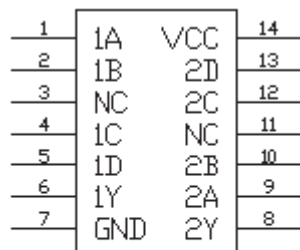
7410
三3输入与非门 $Y = \overline{ABC}$



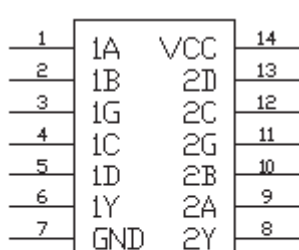
7411
三3输入与门 $Y = ABC$



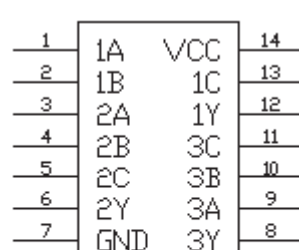
7420 双4输入
与非门 $Y = \overline{ABCD}$



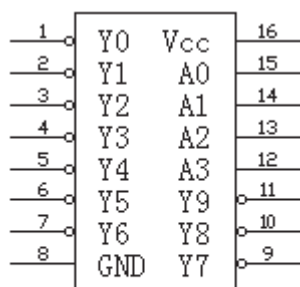
7422 双4输入
与非门(OC) $Y = \overline{ABCD}$



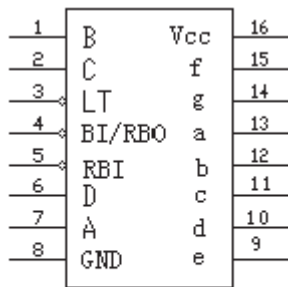
7425 双4输入 或非门
(带选通) $Y = \overline{G(A+B+C+D)}$



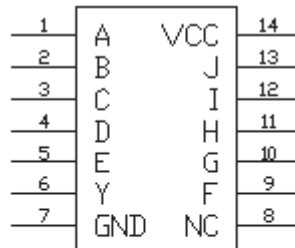
7427 三3输入
或非门 $Y = \overline{A+B+C}$



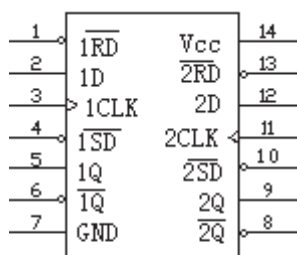
7442
4/10线译码器



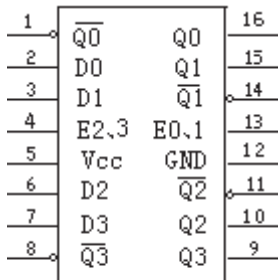
7448 BCD七段
字型译码驱动器



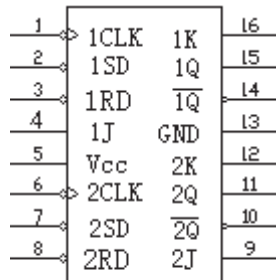
7454 3/2/2/3与或非门
 $Y = \overline{AB + CDE + FG + HIJ}$



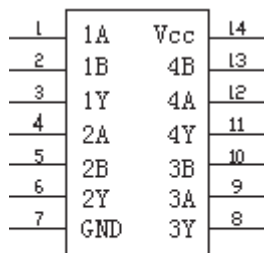
7474
双D触发器(↑)



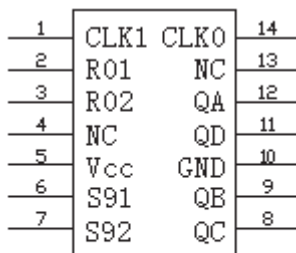
7475
四位双稳态锁存器



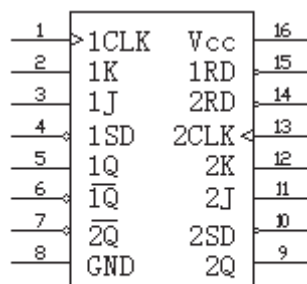
7476
双JK触发器(↓)



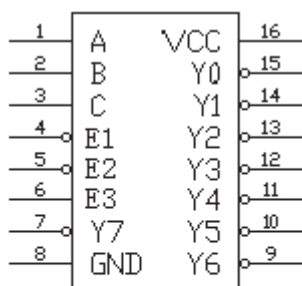
7486 四2输入
异或门 $Y = A \oplus B$



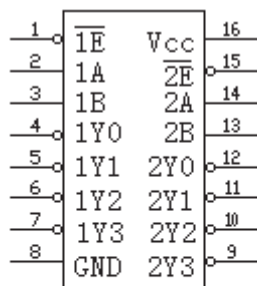
7490 2-5-10进制
异步计数器(↓)



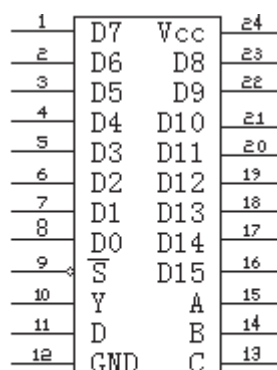
74112
双JK触发器(↓)



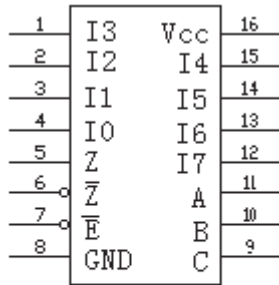
74138
3/8线
译码器/分配器



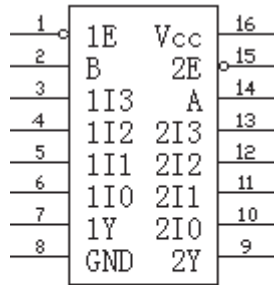
74139
双2/4线
译码器/分配器



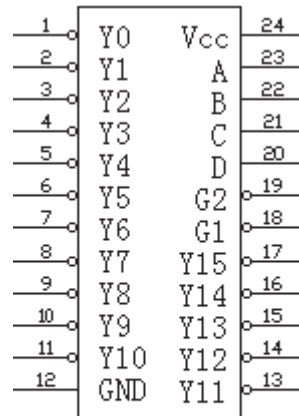
74150 16选1
数据选择器/多路开关



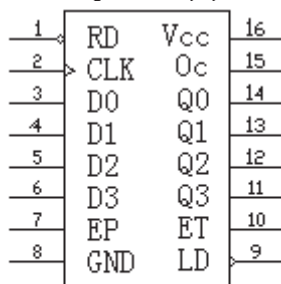
74151 8选1
数据选择器/
多路开关



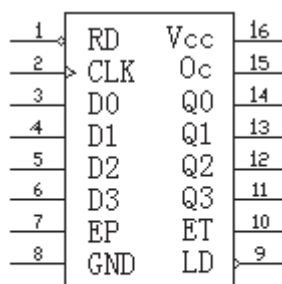
74153 双4选1
数据选择器/
多路开关



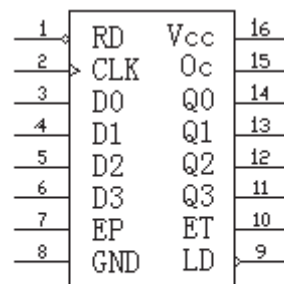
74154
4/16线译码器/多路分配器



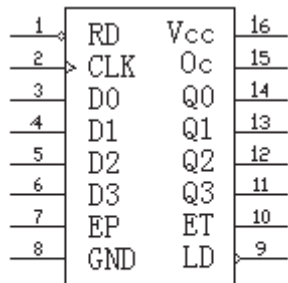
74160 十进制同步计数器
(异步清零)



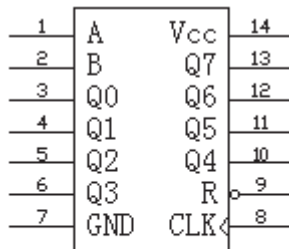
74161 四位二进制同步
计数器(异步清零)



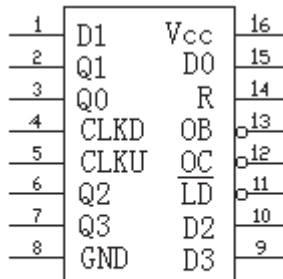
74162 十进制同步计数器
(同步清零)



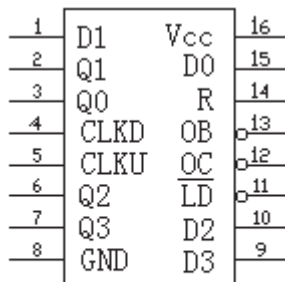
74163 四位二进制同步
计数器(同步清零)



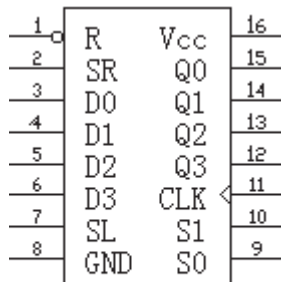
74164
8位并行输出串行移位
寄存器(异步清零)



74192 双时钟可预置
BCD同步加减计数器(↑)



74193 双时钟可预置二进制
同步加减计数器(↑)



74194 4位双向
通用移位寄存器